

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110448

**(43)Date of publication of application : 30.04.1993**

(51)Int.Cl.

НОЗМ 7/36

(21)Application number : 03-267383

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.10.1991

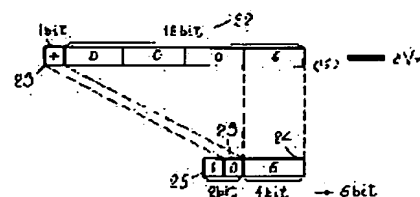
(72)Inventor : SAITO MASATAKA  
YASUDA HIROSHI  
HIGUCHI KOICHI  
MIYAMOTO SABURO

**(54) DIGITAL DATA COMPRESSION, EXPANSION METHOD AND ITS REPRODUCTION DEVICE**

**(57)Abstract:**

**PURPOSE:** To reduce the storage capacity of a RAM when digital data are stored in the RAM.

**CONSTITUTION:** Suppose that a difference  $\Delta V_n$  of both samples consecutive in time series is (0000,0000,0000,0110) expressed in a binary number and 16-bit digital code 22, then it is expressed as (0006) in a hexadecimal number. Then a high-order 12-bit in a 16-bit digital code 22 in a binary number of the difference  $\Delta V_n$  of both the samples is all 0, the high-order 12-bits are omitted. Then the  $\Delta V_n$  is expressed in total 6-bits by compression data 24 ((6 in hexadecimal number) expressed in low-order 4-bits, sign code data 23 (0 indicates a positive number) and a 1-bit end code 25 set to 1 which indicates the high-order bits over the low-order 4-bits are all 0. Thus, the difference  $\Delta V_n$  of both the samples is expressed in 6-bits which compresses the bit number from the 17-bit expression and the storage capacity of the memory is reduced by storing the compression data into the memory.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成5年(1993)4月30日

8836-5 J

[最終頁に続く](#)

24...  $\Delta V_n$  の圧縮データ  
 25... 終了符号  
 $\Delta V_n$ ... 任意の時間点  $n$  とその1つ後の時間点  $n+1$  の  
 それぞれの電圧  $V_n, V_{n+1}$  の差

**【特許請求の範囲】**

**【請求項1】** 時系列的に連続したデジタルデータ群の任意の時点のサンプルの $m$ ビットデジタルデータと任意の時点の次のサンプルの $m$ ビットデジタルデータの差の $m$ ビットデジタルデータを下位から $n$ ビット単位のデジタルデータに分割し、前記 $n$ ビット単位デジタルデータと前記 $n$ ビット単位デジタルデータより上位の各 $n$ ビットのデータに1があるか否かによってデータの継続、終了を表す終了有無符号の1ビットおよび差の $m$ ビットデジタルデータの正負を表す正負符号の1ビットの合計である $n+2$ ビットの各デジタルデータブロックで表すとともに、分割された上位の各 $n$ ビット単位が全て“0”の時、前記終了有無符号の1ビットにデータ終了を表すデータを与え、分割された上位の各 $n$ ビット単位が全て“0”のデータを削除したことを特徴とするデジタルデータ圧縮方法。

**【請求項2】** 前記 $m$ ビットデジタルデータを16ビットデジタルデータとし、前記 $n$ ビット単位デジタルデータを4ビット単位デジタルデータで構成したことを特徴とする請求項1記載のデジタルデータ圧縮方法。

**【請求項3】** 時系列的に連続したデジタルデータ群の任意の時点のサンプルの $m$ ビットデジタルデータと任意の時点の次のサンプルの $m$ ビットデジタルデータの差の $m$ ビットデジタルデータを下位から $n$ ビット単位のデジタルデータに分割し、前記 $n$ ビット単位デジタルデータと前記 $n$ ビット単位デジタルデータより上位の各 $n$ ビットのデータに1があるか否かによってデータの継続、終了を表す終了有無符号の1ビットおよび差の $m$ ビットデジタルデータの正負を表す正負符号の1ビットの合計である $n+2$ ビットの各デジタルデータブロックで表すとともに、分割された上位の各 $n$ ビット単位が全て“0”の時、前記終了有無符号の1ビットにデータ終了を表すデータを与え、分割された上位の各 $n$ ビット単位が全て“0”のデータを削除し、かつ、前記時系列的に連続したデジタルデータ群の一定周期毎の時点のサンプルの $m$ ビットデジタルデータを下位から $n$ ビット単位のデジタルデータに分割し、この分割された $n$ ビット単位の各デジタルデータのそれぞれに正負を表す正負符号の1ビットとそれぞれに前記終了有無符号の1ビットに“0”を与えたデータで表すことにより前記デジタルデータ群の一定周期毎の時点のサンプルを絶対値データとしたことを特徴とするデジタルデータ圧縮方法。

**【請求項4】** 前記請求項1のデジタルデータ圧縮方法によってデータ圧縮された前記各デジタルデータブロックの下位から順次 $n$ ビットのデータを取り出し、前記終了有無符号を判別してデータが継続を意味する符号の間は $n$ ビットのデータを順次直列接続し、前記終了有無符号を判別してデータが終了を意味する符号が来たとき

きその $n$ ビットのデータを上位 $n$ ビットととして下位の $n$ ビットのデータに直列接続するとともに直列接続されたデータの上位ビットに“0”を必要数だけ加えて $m$ ビットになるようにして前記時系列的に連続したデジタルデータ群の任意の時点のサンプルの $m$ ビットデジタルデータと任意の時点の次のサンプルの $m$ ビットデジタルデータの差の $m$ ビットデジタルデータを復元することを特徴とするデジタルデータ伸長方法。

**【請求項5】** 前記請求項3のデジタルデータ圧縮方法によってデータ圧縮された前記各デジタルデータブロックの下位から順次 $n$ ビットのデータを取り出すとともにを前記終了有無符号を判別して前記終了有無符号が“0”のデータが $m/n$ 回続いたときの $m$ ビットデジタルデータを前記デジタルデータ群の一定周期毎の時点のサンプルの絶対値データとして扱うことを特徴とするデジタルデータ伸長方法。

**【請求項6】** 時系列的に連続したデジタルデータ群の任意の時点のサンプルの2進数 $m$ ビットデジタルデータと任意の時点の次のサンプルの2進数 $m$ ビットデジタルデータの差の2進数 $m$ ビットデジタルデータを正負符号を除く上位の0を削除したデジタルデータが有効桁3ビット以内のときは3ビットのデジタルデータに正負符号と終了を意味する終了有無符号とを加えた2進数5ビットのデジタルデータで表し、有効桁3ビットを越えたときは下位から4ビット単位のデジタルデータに分割し、下位から有効桁4ビット毎に継続を意味する終了符号を加えた2進数5ビット単位のデジタルデータと下位から4ビット単位のデジタルデータに分割した時の最終の有効桁3ビット以内のデジタルデータに正負符号と終了を意味する終了有無符号とを加えた2進数5ビットのデジタルデータとで表したことを特徴とするデジタルデータ圧縮方法。

**【請求項7】** 前記請求項6のデジタルデータ圧縮方法によってデータ圧縮された2進数5ビットのデジタルデータの前記終了有無符号を判別して前記終了有無符号が継続を意味する符号の間は2進数5ビットのデジタルデータの前記終了有無符号を除く4ビットのデータを有効桁として順次直列接続し、前記終了有無符号が終了を意味する符号が来た時2進数5ビットのデジタルデータの前記終了有無符号と正負符号を除く3ビットのデータを有効桁として直列接続し、さらに上位ビットに“0”を必要数だけ加えて2進数 $m$ ビットになるようにして前記時系列的に連続したデジタルデータ群の任意の時点のサンプルの2進数 $m$ ビットデジタルデータと任意の時点の次のサンプルの2進数 $m$ ビットデジタルデータの差の2進数 $m$ ビットデジタルデータを復元することを特徴とするデジタルデータ伸長方法。

**【請求項8】** デジタルデータ読み出し装置から出力された $m$ ビットのデジタルデータをデータ圧縮する請求項3または請求項6のデジタルデータ圧縮方法を用

いたデータ圧縮回路と、前記データ圧縮回路で圧縮した圧縮データを記憶するメモリと、前記メモリから読み出された圧縮データを伸長する請求項 4 と請求項 5 または請求項 7 のデジタルデータ伸長方法を用いたデータ伸長回路と、前記データ圧縮回路で圧縮された圧縮データを前記メモリに記憶させ、前記メモリに記憶された圧縮データを定められた復調速度で読み出し前記データ伸長回路に供給するメモリ制御回路とを備えたデジタルデータ再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタルオーディオ機器等に用いて有効なデジタルデータ圧縮および伸長方法に関するものである。

【0002】

【従来の技術】近年、CDプレーヤをはじめとするデジタルオーディオ機器等のデジタル技術の普及にはめざましいものがあり、これらの機器では再生をより確実にするためデジタルデータを一時的にメモリに蓄えてデータ出力することが考えられる。

【0003】以下、図面を参照しながら上述した従来のCDプレーヤを例にデジタルデータをメモリに一時的に蓄えて出力するデジタルオーディオ機器について説明する。

【0004】図19は従来のCDプレーヤの構成を示すブロック図である。図19において、1はCDプレーヤからなるデジタルデータ再生装置であり、CDの情報記録トラックから光ピックアップにより光学的に情報を読み取る信号読取装置、前記信号読取装置からのデジタル信号をEFM伸長、デインターリーブ、誤り訂正等の信号処理をするデジタル信号処理回路を備えている。2はデジタルデータ再生装置1によって再生された16ビットデジタル信号11をアナログ信号に変換するDAコンバータ、3はローパスフィルター付増幅回路、4は出力端子である。このような構成により、デジタルデータ再生装置1の信号読取装置でCDから光学的に信号を読み取り、信号処理回路で前述のデジタル信号処理を行い16ビットデジタル信号11を出力し、DAコンバータ2で図20の半アナログ信号12に変換し、さらにローパスフィルター付増幅器3で図20のアナログ信号13を得て出力端子4に再生信号を出力するものである。

【0005】しかしながら、CDプレーヤにおいては振動等の外乱を受けた場合、光ピックアップのトラックはずれ、フォーカスはずれを起こし再生音が途切れることがあり、特にポータブルCD、車載用CDプレーヤにおいては起こりやすいものであった。

【0006】そこで、図21に示すような再生デジタルデータを大容量のメモリに一時的に蓄えて再生することで上記問題を解決することが考えられる。図21に

おいて、6は大容量のランダムアクセスメモリ(RAM)、5はデジタルデータ再生装置1から出力された16ビットデジタル信号を順次RAM6に記憶し、一定の通常速度でRAM6から16ビットデジタル信号を順次読みだしDAコンバータへ送るRAM制御回路である。このような構成において、再生時に始めの一定時間だけデジタルデータ再生装置1のCDの回転速度を上げて信号の読み取り速度を上げ、デジタル信号処理回路の信号処理のクロックの周波数を上げて再生し、RAM制御回路5により前記信号処理の速度に合わせてRAM6にCDの再生データを記憶し、RAM制御回路5によりRAM6から通常の再生速度で16ビットデジタルデータ11bを順次読み出してDAコンバータ2でアナログ変換して再生することで再生音に影響なくCDから再生された16ビットデジタル信号11aをRAM6に一定量一時的に蓄えることができる。なお、RAM6にデータが一定量蓄えられたらデジタルデータ再生装置1のCDの回転速度およびデジタル信号処理回路の処理速度を通常速度に戻す。

【0007】この状態でデジタルデータ再生装置1に振動等の外乱が加えられてトラッキングまたはフォーカスはずれが発生した場合は、RAM6に蓄えられたデータを通常速度で読みだして再生し、この蓄えられたデータを読み出している間にトラッキングまたはフォーカスはずれが発生したCD上のアドレスを検索して光ピックアップをアクセスして、再度そのアドレスからCDのデータを読み直してデータを繋ぎ合わせるにより再生信号に音飛びを発生することなく確実にCDを再生することが可能となる。

【0008】

【発明が解決しようとする課題】しかしながら、前述のようなCDプレーヤのトラッキングまたはフォーカスはずれが発生した場合の対策を考えた時に必要となるRAM6の記憶容量は、例えば、CDのサンプリング周波数が44.1kHz、L、Rチャンネルの2チャンネル、各チャンネルが16ビットのため1秒間のデータは44.1kHz×2ch×16bit=1.4112Mbitとなり、今、トラッキングまたはフォーカスはずれが発生してから光ピックアップを元の位置に戻してデータ正しく繋ぎ合わせるのに3秒かかるとすると1.4112Mbit×3秒=4.2336Mbit以上となる。このような大容量の記憶容量のRAM6を搭載させようとすると例えば256Kダイナミック型RAM(DRAM)を用いたい場合は17個必要となり、物理的スペースが大きく必要となるため、小型軽量化を要求されるポータブルCDプレーヤおよび車載用CDプレーヤ等では実現が困難であるという問題があった。

【0009】本発明は、上記従来の課題に鑑みて、RAMの記憶容量を小さくできるデジタルデータ圧縮および伸長方法を提供するものである。

## 【0010】

【課題を解決するための手段】上記課題を解決するために本発明のデジタルデータ圧縮方法は、時系列的に連続したデジタルデータ群の任意の時点のサンプルの $m$ ビットデジタルデータと任意の時点の次のサンプルの $m$ ビットデジタルデータの差の $m$ ビットデジタルデータを下位から $n$ ビット単位のデジタルデータに分割し、前記 $n$ ビット単位デジタルデータと前記 $n$ ビット単位デジタルデータより上位の各 $n$ ビットのデータに1があるか否かによってデータの継続、終了を表す終了有無符号の1ビットおよび差の $m$ ビットデジタルデータの正負を表す正負符号の1ビットの合計である $n+2$ ビットの各デジタルデータブロックで表すとともに、分割された上位の各 $n$ ビット単位が全て“0”の時、前記終了有無符号の1ビットにデータ終了を表すデータを与え、分割された上位の各 $n$ ビット単位が全て“0”のデータを削除したものである。

## 【0011】

【作用】本発明は上記した構成によって、時系列的に連続したデジタルデータ群の任意の時点のサンプルの $m$ ビットデジタルデータと任意の時点の次のサンプルの $m$ ビットデジタルデータの差の $m$ ビットデジタルデータから任意の時点の次のサンプルを1つあるいは複数の $n+2$ ビットのデジタルデータブロックで表すことにより、差の $m$ ビットデジタルデータの上位ビットは0であることが多く、通常音楽信号等では下位4ビットまたは下位8ビットで表せることを利用して上位ビットを削除したデータで表現することによりデータ圧縮でき、メモリの記憶容量を少なくすることができるものである。

## 【0012】

【実施例】以下、本発明のデジタルデータ圧縮方法の実施例について、図1～図6を参照しながら詳細に説明する。

【0013】図1～図6は、本発明のデジタルデータ圧縮法の原理を示す図であり、図1の正弦波信号において、連続する任意の時点 $n$ のサンプルの電圧データ $V_n$ 、任意の時点 $n$ より1サンプル後の時点 $n+1$ のサンプルの電圧データ $V_{n+1}$ として、両サンプルの差 $=V_n - (V_{n+1})$ を $\Delta V_n$ として表すと、元の各サンプルをそのまま順次表現するものに比べて絶対値の小さい値で各サンプルを順次表現していくことができる。なお、 $V$ は電圧軸、 $t$ は時間軸、 $V_a$ は最大表現電圧値、 $V_b$ は最小表現電圧値、 $V_o$ は交流中点電位を表すものである。

【0014】図2に示すように任意の時点 $n$ のサンプルの電圧データ $V_n$ が2進数で16ビットのデジタル符号20のように(0001, 1100, 0101, 1010)であるとする16進数で表すと(1C5A)、任意の時点 $n$ より1サンプル後の時点 $n+1$ のサンプル

の電圧データ $V_{n+1}$ が2進数で16ビットのデジタル符号21のように(0001, 1100, 0101, 0100)であるとする16進数で表すと(1C54)となり、両サンプルの差 $\Delta V_n$ は2進数で16ビットのデジタル符号22のように(0000, 0000, 0000, 0110)となり、さらにこれを16進数で表すと(0006)となる。また、23は $\Delta V_n$ の符号データを表す1ビットであり、0は+、1は-をそれぞれ表すものである。ここで、両サンプルの差 $\Delta V_n$ の2進数で16ビットのデジタル符号22の上位12ビットはすべて0であり、このような場合、図3に示すようにこの上位12ビットを省略し、下位の4ビットで表した $\Delta V_n$ の圧縮データ24(16進数の6)に $\Delta V_n$ の符号データ23(0はプラスを示す。)と下位4ビットよりも上位ビットがすべて0であることを表す1ビットの終了符号25に1を立てて加え、合計6ビットで表す。これにより両サンプルの差 $\Delta V_n$ を17ビットの表現から $\Delta V_n$ の圧縮データの6ビットにビット数を圧縮して表現することができ、この圧縮データをメモリーに蓄えることによりメモリーの記憶容量を少なくできる。

【0015】図4は実際の信号を示し、各時点、各サンプルの電圧値を図1と同様に表す。図4において、両サンプルの差 $\Delta V_n$ が図5に示すように2進数で16ビットのデジタル符号22のように(0000, 0000, 0011, 1110)で、16進数で表すと(003E)だとすると、前述と同様にデータ圧縮すると上位8ビットはすべて0であり、この上位8ビットを省略し、最下位の4ビットの16進数の(E)に $\Delta V_n$ の符号データ23(1はマイナスを示す。)と終了符号25(この場合、上位ビットに0以外のデータがあるのでデータが継続することを示すために終了符号25に0を表示する。)を加えた6ビットの圧縮データと次の4ビットの16進数の(3)に $\Delta V_n$ の符号データ23と終了符号25のデータ1を加えた6ビットの圧縮データで表す。これにより両サンプルの差 $\Delta V_n$ を17ビットの表現から $\Delta V_n$ の圧縮データの12ビットにビット数を圧縮して表現することができ、この圧縮データをメモリーに蓄えることによりメモリーの記憶容量を少なくできる。

【0016】また、図4に示すように仮に最大振幅で連続する任意の時点 $m$ のサンプルの電圧データ $V_m$ 、任意の時点 $m$ より1サンプル後の時点 $m+1$ のサンプルの電圧データ $V_{m+1}$ として、両サンプルの差 $=V_m - (V_{m+1})$ を $\Delta V_m$ として表すと、両サンプルの差 $\Delta V_m$ は図6に示すように2進数で16ビットのデジタル符号26のように(1111, 1111, 1111, 1111)で、16進数で表すと(FFFF)と表現される。これを前述のようにデータ圧縮すると元のデータである両サンプルの差 $\Delta V_m$ は17ビットで表現されたの

に対して圧縮データは24ビットになってしまいビット数は逆に増えてしまうが、実際にはこのような最大振幅で変化することはサンプリング周波数が44.1kHzとすると22.05kHzの単周波数で0dBの信号ということになり通常音楽信号等では他の信号成分も重畳されているため有りえず、したがって全体的には前述した両サンプルの差が4ビットあるいは8ビットで表せるものがほとんどであり全体としてビット数を大きく減らすことができ、データを蓄えるメモリの記憶容量を少なくすることができる。

【0017】図7は、データ圧縮回路の構成を示すブロック図である。なお、制御ラインおよびクロックは省略する。図7において、40は16ビット入力レジスタであり、デジタルデータ再生装置1から出力された16ビットデジタル信号11aを1クロックごとに取り込み、同時に1クロック前に取り込まれたデータをシフトして送り出す、41は16ビットスタックレジスタであり、16ビット入力レジスタ40から送り出されたデータを取り込み1クロックの間保持するものである。42は16ビット演算レジスタであり、16ビット入力レジスタ40に取り込まれた任意の時点nより1サンプル後の時点n+1のサンプルの電圧データ $V_{n+1}$ のデータと16ビットスタックレジスタ41に取り込まれた任意の時点nのサンプルの電圧データ $V_n$ のデータとを引き算して両サンプルの差 $\Delta V_n$ を求めるものである。43は符号フラグであり、両サンプルの差 $\Delta V_n$ の+、-を判定して保持し、44は16ビットシフトレジスタであり、16ビット演算レジスタ42の演算結果を取り込み順次ビットシフトするものである。45は16ビットシフトレジスタ44のデータを下位から4ビットずつ取り込み保持する4ビットスタックレジスタ、46は16ビットスタックレジスタ45に保持され4ビットデータより上位のビットのデータがすべて0か否かを見て、データの継続を判断する継続判断回路である。47は4ビットスタックレジスタ45からデータを取り込む4ビットデータレジスタ、48は1ビット符号フラグ、49は1ビット終了符号フラグである。なお、図7は1チャンネル分を示しており、複数チャンネルであれば同様のブロックをチャンネル数分設けるか、または16ビット入力レジスタと16ビットスタックレジスタをチャンネル数分設け、その他の部分を共用する等が考えられる。

【0018】以上のような構成において、動作を説明するとデジタルデータ再生装置1から出力された任意の時点nのサンプルの電圧データ $V_n$ のデータの16ビットデジタル信号11aを16ビット入力レジスタ40に取り込み、次に任意の時点nより1サンプル後の時点n+1のサンプルの電圧データ $V_{n+1}$ のデータを16ビット入力レジスタ40に取り込むと同時に16ビット入力レジスタ40に保持された任意の時点nのサンプルの電圧データ $V_n$ のデータを16ビットスタックレジ

スタ41にシフトし、次に、16ビット演算レジスタ42により16ビット入力レジスタ40に取り込まれた任意の時点nより1サンプル後の時点n+1のサンプルの電圧データ $V_{n+1}$ のデータと16ビットスタックレジスタ41に取り込まれた任意の時点nのサンプルの電圧データ $V_n$ のデータとを引き算して両サンプルの差 $\Delta V_n$ を求める。そして、符号フラグ43により両サンプルの差 $\Delta V_n$ の+、-を判定して保持し、前記16ビット演算レジスタ42で求めた両サンプルの差 $\Delta V_n$ を16ビットシフトレジスタ44に取り込み、4ビットスタックレジスタにより16ビットシフトレジスタ44のデータを下位から4ビットずつ取り込み保持し、4ビットスタックレジスタ47にデータをシフトし、継続判断回路46で16ビットスタックレジスタ45に保持され4ビットデータより上位のビットのデータがすべて0か否かを見て、データの継続を判断して1ビット終了符号フラグ49にその結果を保持し、1ビット符号フラグ43からのデータを1ビット符号フラグ48に保持する。そして、4ビットスタックレジスタ47に保持されたデータと1ビット符号フラグ48に保持された符号および1ビット終了符号フラグ49に保持された符号を合わせて6ビットを1ワードとして圧縮データ15を出力する。

【0019】なお、本発明では、各データを時系列的に連続する前後のデータの差で表すために、定期的な絶対値データが必要である。そこで、CDではL、Rチャンネル各6サンプルで合計12サンプルを1フレームとして扱い、同期信号、サブコードデータを付加しているので、今Lチャンネルの1チャンネルについて説明すると、この同期信号を検出して、同期信号の後の最初のLチャンネルの1サンプルのデータを絶対値データとして扱う。この絶対値データが仮に図8に示すように2進数で16ビットのデジタル符号20のように(0001, 1100, 0101, 1010)で、16進数で表すと(1C5A)と表現されたとすると、図9に示すようにデータ圧縮は行わずに各4ビットの絶対値データ29にそれぞれ符号データ0と4つとも0の各終了符号25を付加して絶対値データであることを表現する。なお、通常の圧縮データでは前述した圧縮方法なので終了符号が0であるデータが4つ続くことは発生しない。これによって、伸長時には終了符号25が0であるデータが4つ続いたことを判定してこのデータが絶対値データであることを判別することができる。

【0020】図10は絶対値データを扱うブロックを付加したデータ圧縮回路の構成を示すブロック図であり、50は絶対値データコントローラであり、フレーム同期検出回路(図示せず)がフレーム同期信号を検出すると、16ビット入力レジスタ40に取り込まれた同期信号の後の最初のLチャンネルの1サンプルのデータを16ビットシフトレジスタ44に送り、4ビットずつ4ビットスタックレジスタ45、4ビットデータレジスタ4

7に送るとともに取り込まれたデータの符号を判別して1ビット符号フラグ48へデータを送り、さらに絶対値データであることを示すために1ビット終了符号フラグ49に0のデータを連続して4回送るものである。これにより、図9に示すような絶対値データが形成される。

【0021】図11は本発明の一実施例におけるデジタルデータ圧縮および伸長方法を用いたCDプレーヤの構成を示すブロック図である。図11において、7はデジタルデータ再生装置1から出力された16ビットデジタル信号11aを前述のデータ圧縮方法を用いて圧縮してRAM制御回路5によってRAM6に記憶させる圧縮デジタル信号15を供給するデータ圧縮回路、8はRAM制御回路5によってRAM6から読み出された圧縮デジタル信号16を圧縮とは逆の手順で元の16ビットデジタル信号11bに伸長する伸長回路であり、その他の構成は図21の従来例と同一であり、説明を省略する。

【0022】以上のように構成された発明のデジタルデータ圧縮および伸長方法を用いたCDプレーヤによれば、圧縮データをRAM6に一時的に蓄えるためRAM6の記憶容量を元のデータ量の40%程度に少なくすることができ、例えば、従来のように3秒間のデータを蓄えようとする256KDRAMで実現しようすると6個で実現することができ、小型化が可能となる。従って、小型化のポータブルにおいても音飛びをなくし、確実な再生を実現することができる。

【0023】次に、第2の実施例のデータ圧縮方法について説明する。第2の実施例は第1の実施例の6ビット単位でデータブロックを扱っていたものよりさらにデータ圧縮率を上げるもので、両サンプルの差 $\Delta V_n$ が3ビットで表せるような場合、下位4ビットのデータブロックの部分の最上位ビットの0を省略するものであり、例えば、図12に示すように両サンプルの差 $\Delta V_n$ が2進数で16ビットのデジタル符号22のように(0000, 0000, 0000, 0110)であり、さらにこれを16進数で表すと(0006)とすると、図3で説明したのと同様に両サンプルの差 $\Delta V_n$ の2進数で16ビットのデジタル符号22の上位12ビットはすべて0であり、このような場合、図6に示すようにこの上位12ビットを省略し、さらに、下位の4ビットで表した $\Delta V_n$ の圧縮データ24(16進数の6)の上位1ビットが0なので省略し、3ビットの $\Delta V_n$ の圧縮データ24(16進数の6)に $\Delta V_n$ の符号データ23(0はプラスを示す。)と下位4ビットよりも上位ビットがすべて0であることを表す1ビットの終了符号25に1を立てて加え、合計5ビット単位で表す。これにより両サンプルの差 $\Delta V_n$ を17ビットの表現から $\Delta V_n$ の圧縮データの5ビットにビット数を圧縮して表現することができ、この圧縮データをメモリーに蓄えることによりメモリーの記憶容量をさらに少なくできる。

【0024】また、図12の実施例の5ビット単位でデータブロックを扱った場合で両サンプルの差 $\Delta V_n$ が3ビットよりも大きい時は図13に示すようにデータ圧縮してやればよいことになる。すなわち、図13に示すように終了符号25が0で継続するデータが存在することを示している場合は、そのデータの符号データ23を省略して圧縮データ24の4ビットと終了符号25の1ビットの合計の5ビット単位で表し、最終の終了符号25が1でデータが継続しないところのデータに符号データ23を付加させてやれば継続するデータの符号データ23の分のビットを削減でき、全体として5ビット単位のデータブロックでデータを扱うことができる。従って、図13の場合、両サンプルの差 $\Delta V_n$ を17ビットの表現から $\Delta V_n$ の圧縮データの5ビット単位の2ブロックで10ビットにビット数を圧縮して表現することができ、この圧縮データをメモリーに蓄えることによりメモリーの記憶容量を第1の実施例よりさらに少なくできる。なお、絶対値データは第1の実施例で説明したのと同様に5ビット単位のデータブロックを5つで表しかつ、終了符号を全て継続を意味する符号にしてやることにより通常のデータより区別することができる。

【0025】次に、本発明のデジタルデータ伸長方法の実施例について、図14～図18を参照しながら詳細に説明する。

【0026】図14はデータ伸長回路の構成を示すブロック図であり、基本的にデータ圧縮の逆の手順を実施する。なお、制御ラインおよびクロックは省略する。50はRAM6から読み出した6ビット圧縮デジタル信号16を取り込む6ビット入力レジスタ、51は4ビットデータレジスタ、52は1ビット符号フラグ、53は1ビット終了符号フラグであり、6ビット入力レジスタ50からデータをそれぞれ取り込む。54は16ビットシフトレジスタであり、4ビットデータレジスタ51から4ビットデータを順次取り込み、56は1ビット終了符号フラグ53のデータを読み継続する上位ビットのデータが有るのか否かを判断し、なければ16ビットシフトレジスタ54のデータの上位ビットに0を加えて16ビットのデータになるように“0”発生回路55に0を発生させる指令を送り、また、1ビット終了符号フラグ53のデータを読み、0が4回連続して発生したときデータが絶対値データであると判断するものである。57は16ビットスタックレジスタであり、一つ前の16ビットデータを保持し、58は16ビットシフトレジスタ54の16ビットデータと16ビットスタックレジスタ57に保持された一つ前の16ビットデータを加減算する16ビット演算レジスタ、59は16ビット演算レジスタ58の演算結果を保持する16ビット出力レジスタである。

【0027】以上のような構成において、図14～図18を用いて動作を説明する。まず、図15に示すような

絶対値データ39がRAM6から6ビット入力レジスタ50に順次6ビットずつ入力されてきたとすると、4ビットデータレジスタ51に(0101)が取り込まれ、さらに16ビットシフトレジスタ54にデータが送られると同時に終了符号35が1ビット終了符号フラグ53に取り込まれ終了判断回路56でデータが継続していることを判断し、次の4ビットのデータ(1110)が4ビットデータレジスタ51を介して16ビットシフトレジスタ54に取り込まれる。同様にして終了判断回路56がデータの終了か否かを判断して順次データを取り込むが、16ビットシフトレジスタ54に(0011, 0110, 1110, 0101)と蓄えられたとき、終了判断回路56が終了符号0が4回続いたことを検出して絶対値データであると判断し、16ビット演算レジスタ58で演算することなく16ビットシフトレジスタ54に蓄えられた前記データを16ビット出力レジスタ59に送って伸長データとして出力するとともに16ビットスタックレジスタ57に前記データを蓄える。前記伸長データをDAコンバータ2およびローパスフィルター付増幅器3を介して再生すると図18の任意の時点nの電圧データ $V_n$ になる。

【0028】次のデータとして、図16のようなデータがRAM6から6ビット入力レジスタ50に順次6ビットずつ入力されてきたとすると、4ビットデータレジスタ51に(1110)が取り込まれ、さらに16ビットシフトレジスタ54にデータが送られると同時に終了符号35が1ビット終了符号フラグ53に取り込まれ終了判断回路56でデータが継続していることを判断し、次の4ビットのデータ(0011)が4ビットデータレジスタ51を介して16ビットシフトレジスタ54に取り込まれ、16ビットシフトレジスタ54のデータは(0011, 1110)となる。そして、終了符号35が1ビット終了符号フラグ53に取り込まれ終了判断回路56でデータが継続していないことを判断して“0”発生回路55に指令を出し、16ビットシフトレジスタ54のデータ(0011, 1110)の上位ビットに0を書き加えて16ビットのデータ $\Delta V_n$ (0000, 0000, 0011, 1110)にする、次に1ビット符号レジスタ52のデータを読み、加算するデータか減算するデータかを判断し、16ビットシフトレジスタ54に蓄えられた16ビットのデータ $\Delta V_n$ (0000, 0000, 0011, 1110)と一つ前のデータである16ビットスタックレジスタ57に蓄えられたデータ $V_n$ (0011, 0110, 1110, 0101)を16ビット演算レジスタ58で演算して図17に示すように16ビットのデータ $\Delta V_{n+1}$ (0011, 0111, 0010, 0011)を求め、16ビット出力レジスタ59に送って伸長データとして出力するとともに16ビットスタックレジスタ57にそのデータ(0011, 0111, 0010, 0011)を蓄える。前記伸長データ

をDAコンバータ2およびローパスフィルター付増幅器3を介して再生すると図18の任意の時点の一つ後 $n+1$ の電圧データ $V_{n+1}$ になる。同様にして順次圧縮データを取り込み演算して伸長が行われる。

【0029】以上のように本実施例のデジタルデータ圧縮、伸長方法を用いることにより圧縮データをメモリーに蓄えることができ、メモリーの記憶容量を少なくできる

【0030】

【発明の効果】以上のように本発明のデジタルデータ圧縮方法は、時系列的に連続したデジタルデータ群の任意の時点のサンプルのmビットデジタルデータと任意の時点の次のサンプルのmビットデジタルデータの差のmビットデジタルデータを下位からnビット単位のデジタルデータに分割し、前記nビット単位デジタルデータと前記nビット単位デジタルデータより上位の各nビットのデータに1があるか否かによってデータの継続、終了を表す終了有無符号の1ビットおよび差のmビットデジタルデータの正負を表す正負符号の1ビットの合計である $n+2$ ビットの各デジタルデータブロックで表すとともに、分割された上位の各nビット単位が全て“0”の時、前記終了有無符号の1ビットにデータ終了を表すデータを与え、分割された上位の各nビット単位が全て“0”のデータを削除したもので、これによって、時系列的に連続したデジタルデータ群の任意の時点のサンプルのmビットデジタルデータと任意の時点の次のサンプルのmビットデジタルデータの差のmビットデジタルデータから任意の時点の次のサンプルを1つあるいは複数の $n+2$ ビットのデジタルデータブロックで表すことにより、差のmビットデジタルデータの上位ビットは0であることが多く、通常音楽信号等では下位4ビットまたは下位8ビットで表せることを利用して上位ビットを削除したデータで表現することによりデータ圧縮でき、メモリーの記憶容量を少なくすることができるものである。

【0031】また、本発明のデジタルデータ圧縮および伸長方法を用いたデジタルデータ再生装置によれば、圧縮データをRAMに一時的に蓄えるためRAMの記憶容量を元のデータ量の40%程度に少なくすることができ、例えば、従来のように3秒間のデータを蓄えようとする256KDRAMで実現しようとする6個で実現することができ、小型化が可能となる。従って、小型化のポータブルCDプレーヤにおいても音飛びをなくし、確実な再生を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるデジタルデータ圧縮方法の原理を示す図

【図2】本発明の第1の実施例におけるデジタルデータ圧縮方法の原理を示す図

【図3】本発明の第1の実施例におけるデジタルデー



タ圧縮方法の原理を示す図

【図 4】本発明の第 1 の実施例におけるデジタルデータ圧縮方法の原理を示す図

【図 5】本発明の第 1 の実施例におけるデジタルデータ圧縮方法の原理を示す図

【図 6】本発明の第 1 の実施例におけるデジタルデータ圧縮方法の原理を示す図

【図 7】本発明の第 1 の実施例におけるデジタルデータ圧縮回路の構成を示すブロック図

【図 8】本発明の第 1 の実施例におけるデジタルデータ圧縮方法の原理の絶対値データを示す図

【図 9】本発明の第 1 の実施例におけるデジタルデータ圧縮方法の原理の絶対値データを示す図

【図 10】本発明の第 1 の実施例におけるデジタルデータ圧縮回路の構成を示すブロック図

【図 11】本発明の第 1 の実施例におけるデジタルデータ圧縮、伸長方法を用いたデジタルデータ再生装置の構成を示すブロック図

【図 12】本発明の他の実施例におけるデジタルデータ圧縮方法の原理を示す図

【図 13】本発明の他の実施例におけるデジタルデータ圧縮方法の原理を示す図

【図 14】本発明の第 1 の実施例におけるデジタルデータ伸長回路の構成を示すブロック図

【図 15】本発明の第 1 の実施例におけるデジタルデ

ータ伸長方法の原理を示す図

【図 16】本発明の第 1 の実施例におけるデジタルデータ伸長方法の原理を示す図

【図 17】本発明の第 1 の実施例におけるデジタルデータ伸長方法の原理を示す図

【図 18】本発明の第 1 の実施例におけるデジタルデータ伸長方法の原理を示す図

【図 19】従来の CD プレーヤの構成を示すブロック図

【図 20】従来の CD プレーヤの再生信号を示す図

【図 21】従来の CD プレーヤに RAM を用いた構成を示す図

【符号の説明】

1 デジタルデータ読み出し装置

2 D/A コンバータ

5 RAM 制御回路

6 RAM

7 データ圧縮回路

8 データ復調回路

20 任意の時点  $n$  のサンプルの電圧データ  $V_n$

21 任意の時点  $n$  より 1 サンプル後の時点  $n+1$  のサンプルの電圧データ  $V_{n+1}$

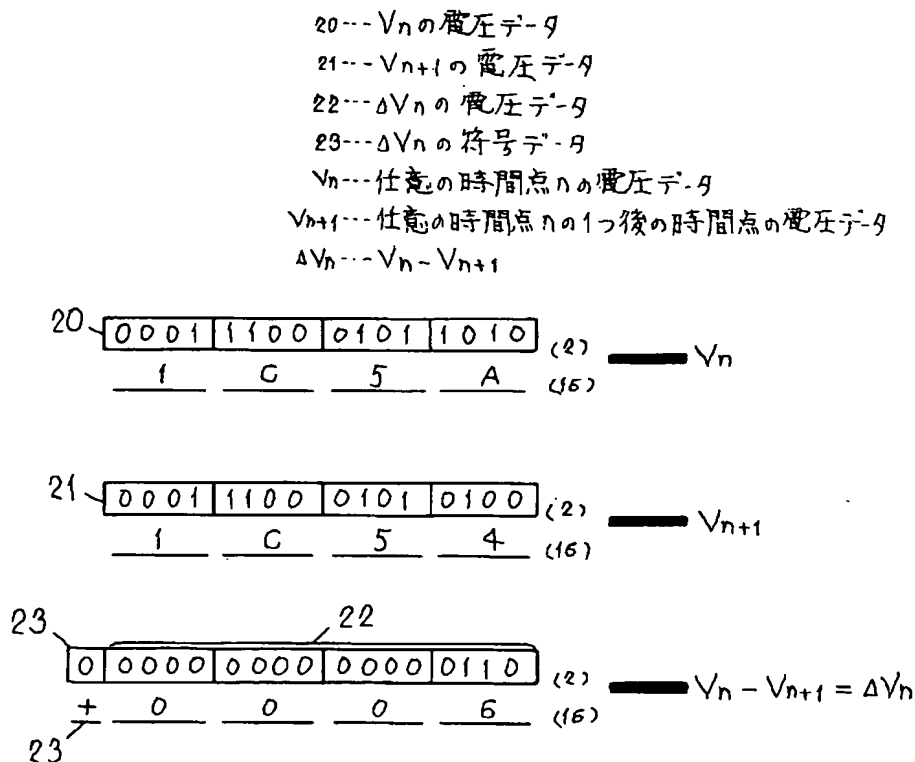
22 両サンプルの差の電圧データ  $\Delta V_n$

23 両サンプルの差の電圧データ  $\Delta V_n$  の正負符号

24 両サンプルの差の電圧データ  $\Delta V_n$  の圧縮データ

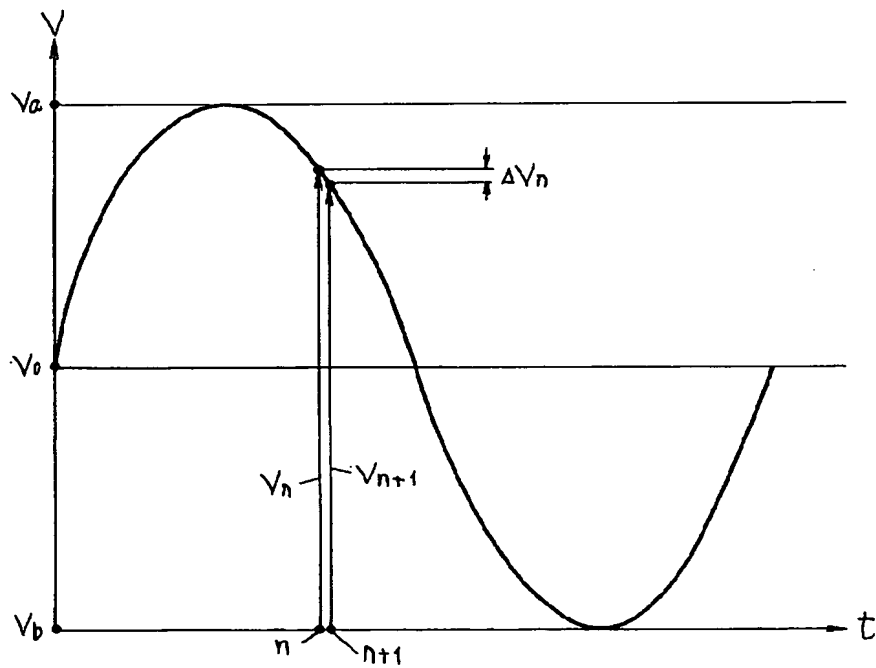
25 終了有無符号

【図 2】

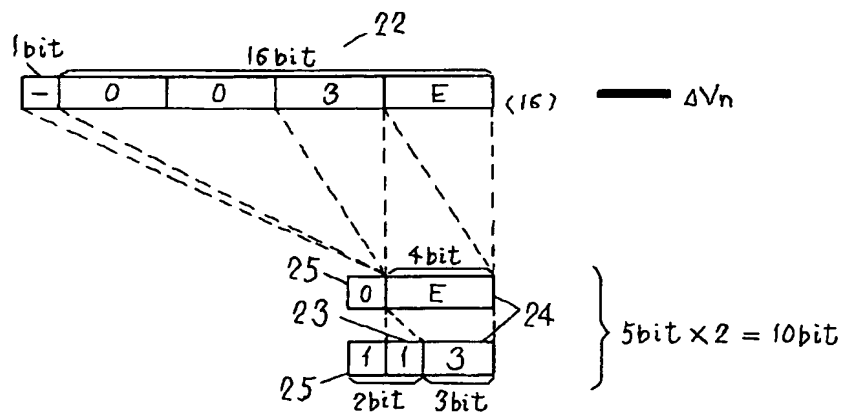


【図1】

$v$ ---電圧軸  
 $t$ ---時間軸  
 $V_a$ ---最大表現電圧値  
 $V_b$ ---最小表現電圧値  
 $V_0$ ---交流中点電位  
 $n$ ---任意の時間点  
 $n+1$ ---任意の時間点の1つ後の時間点  
 $V_n$ --- $n$ の時間点の電圧データ  
 $V_{n+1}$ --- $n+1$ の時間点の電圧データ  
 $\Delta V_n$ --- $V_n$ と $V_{n+1}$ の差

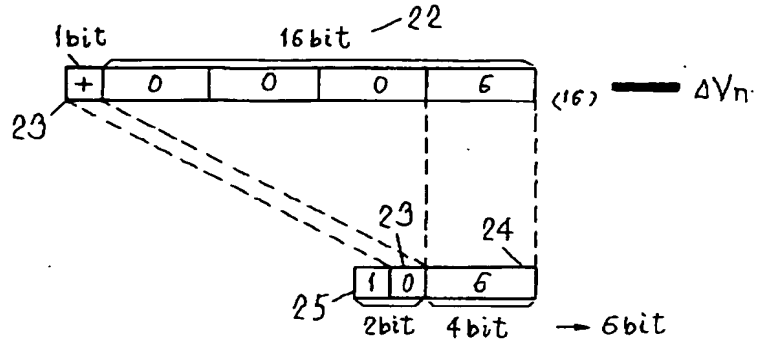


【図13】



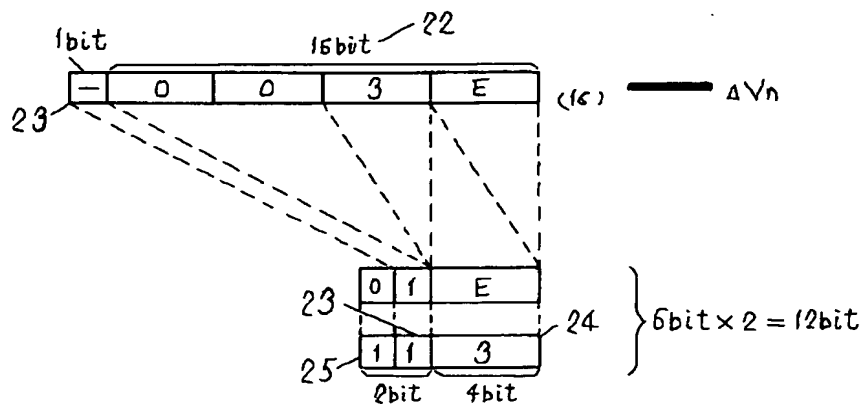
【図 3】

$\Delta V_n \cdots$  任意の時間点  $n$  とその 1 つ後の時間点  $n+1$  の  
それぞれの電圧  $V_n, V_{n+1}$  の差



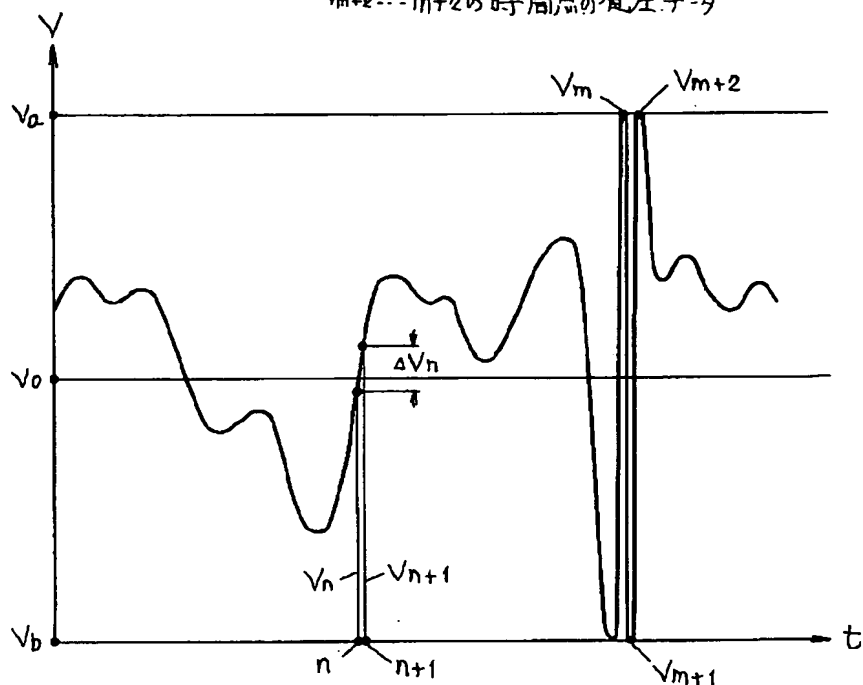
【図 5】

$V_n$ ---任意の時間点  $n$  とその1つ後の時間点  $n+1$  の電圧データの差

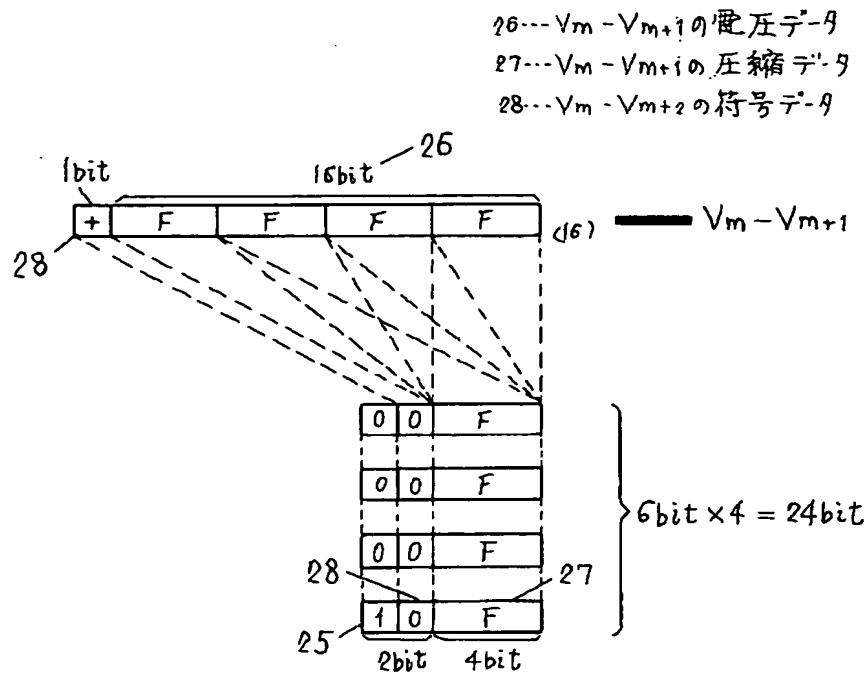


【図4】

$V$  --- 電圧軸  
 $t$  --- 時間軸  
 $V_a$  --- 最大表現電圧値  
 $V_b$  --- 最小表現電圧値  
 $V_0$  --- 交流中点電位  
 $n$  --- 任意の時間点  
 $n+1$  --- 任意の時間点の1つ後の時間点  
 $V_n$  ---  $n$ の時間点の電圧データ  
 $V_{n+1}$  ---  $n+1$ の時間点の電圧データ  
 $\Delta V_n$  ---  $V_n$ と $V_{n+1}$ との差  
 $V_m$  ---  $m$ の時間点の電圧データ  
 $V_{m+1}$  ---  $m+1$ の時間点の電圧データ  
 $V_{m+2}$  ---  $m+2$ の時間点の電圧データ

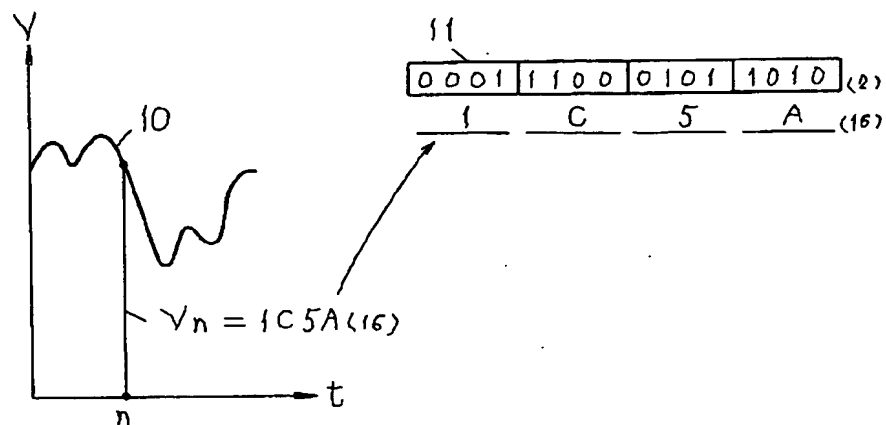


【図6】



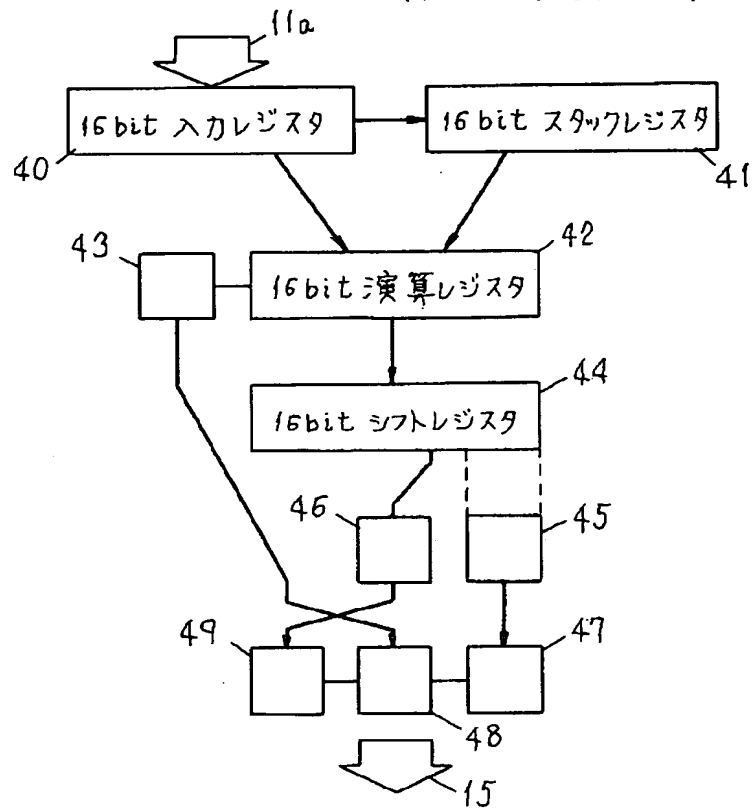
【図8】

10---原信号  
 11---16ビットデジタル信号  
 V---電圧軸  
 t---時間軸  
 n---任意の時間点  
 $V_n$ ---任意の時間点の電圧データ

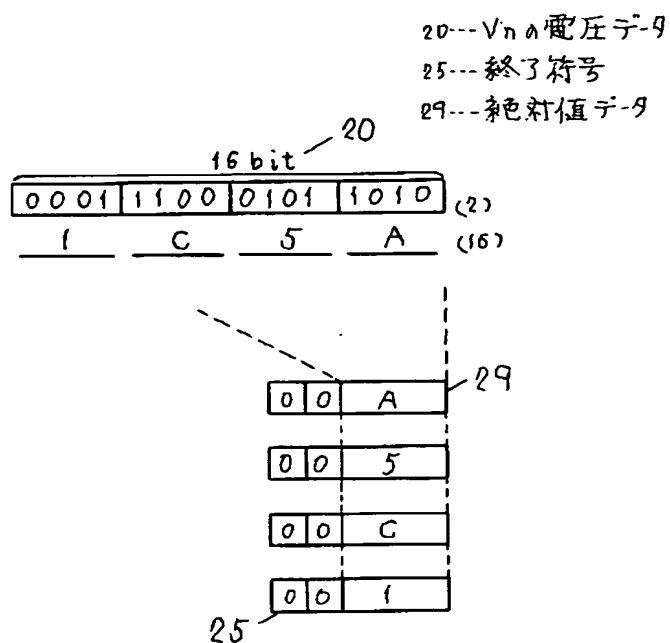


【図7】

- 11a --- 16bit デジタル信号 (入力データ)  
 15 --- 圧縮デジタル信号 (出力データ)  
 43 --- 1bit 符号フラグ  
 45 --- 4bit スタックレジスタ  
 46 --- 継続判断回路  
 47 --- 4bit データレジスタ  
 48 --- 1bit 符号フラグ  
 49 --- 1bit 終了符号フラグ

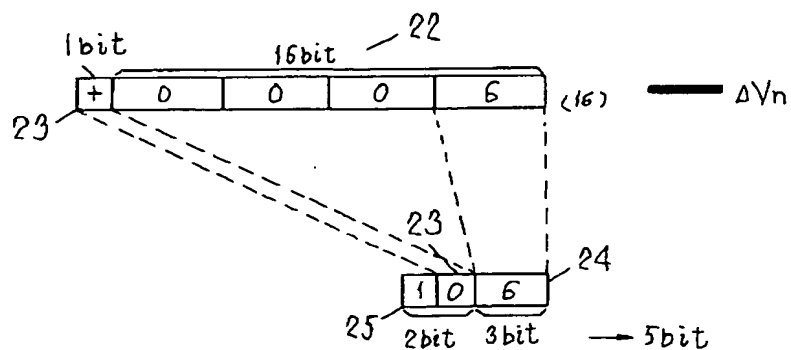


【図 9】

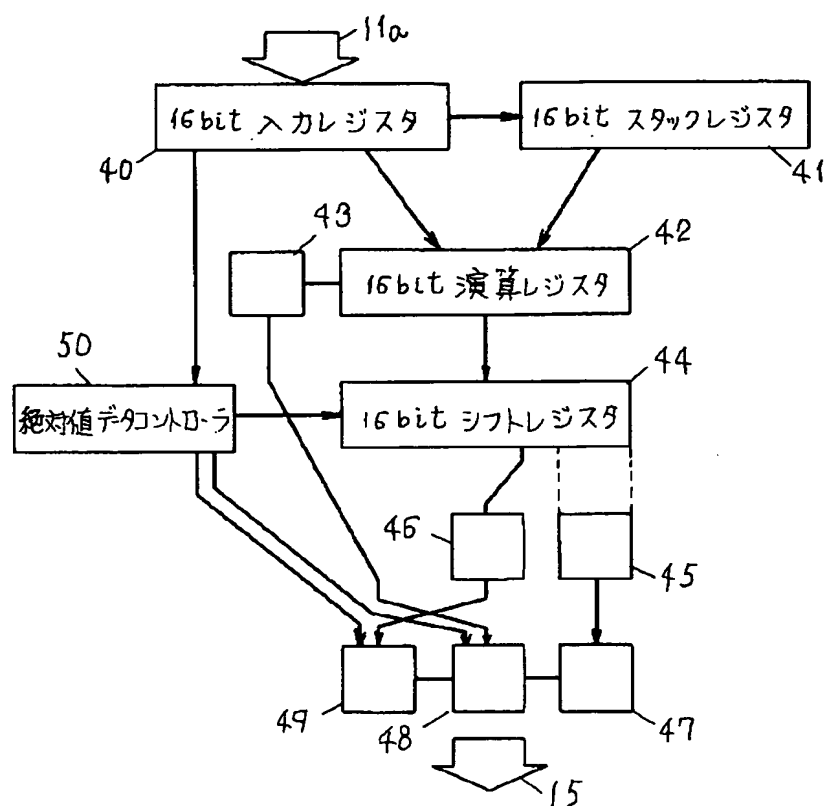


【図 12】

22--- $\Delta V_n$ の電圧データ  
23--- $\Delta V_n$ の符号データ  
24--- $\Delta V_n$ の圧縮データ  
25---終了符号  
 $\Delta V_n$ ---任意の時間点 $n$ とその1つ後の時間点 $n+1$ の  
それぞれの電圧 $V_n, V_{n+1}$ の差



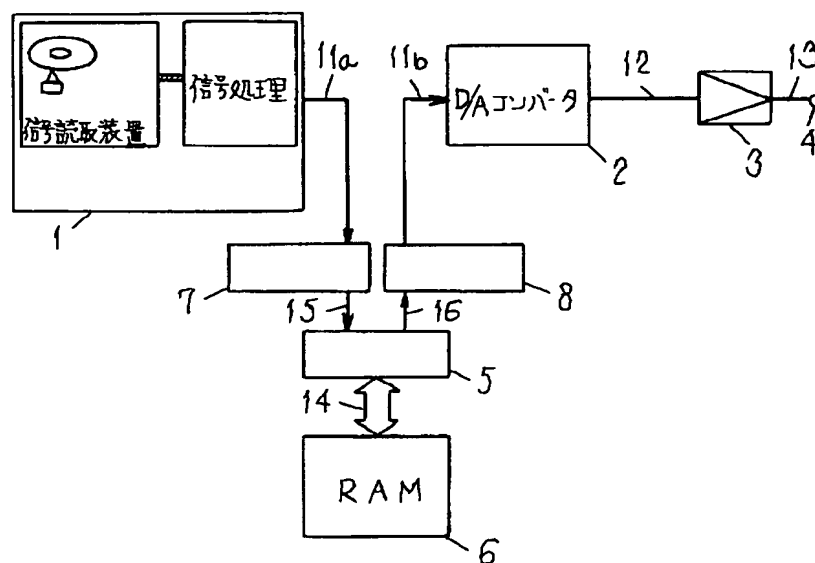
- 11a---16bit デジタル信号(入力データ)
- 15---圧縮デジタル信号(出力データ)
- 49---1bit 符号フラグ
- 45---4bit スタックレジスタ
- 46---継続判断回路
- 47---4bit データレジスタ
- 48---1bit 符号フラグ
- 49---1bit 終了符号フラグ





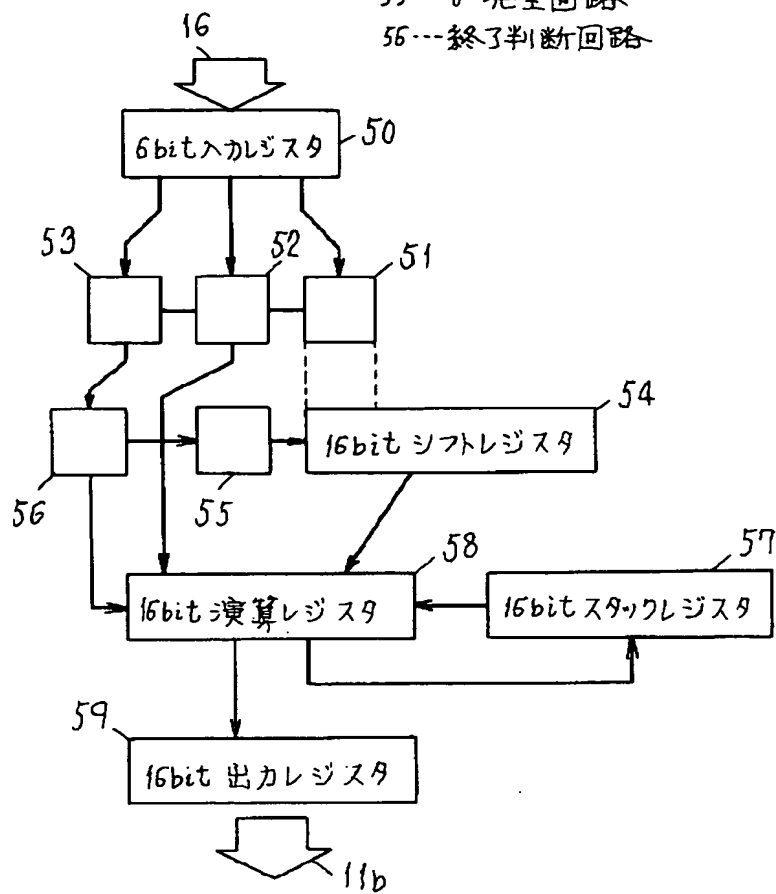
【図11】

- 1 --- デジタルデータ読み出し装置  
 3 --- ロパスフィルタ付増幅回路  
 4 --- 出力端子  
 5 --- RAM制御回路  
 6 --- ランダムアクセスメモリ  
 7 --- データ圧縮回路  
 8 --- データ復調回路  
 11a, 11b --- 16 bit デジタル信号  
 12 --- 半アナログ信号  
 13 --- 出力アナログ信号  
 14 --- RAMアクセス信号  
 15, 16 --- 圧縮デジタル信号

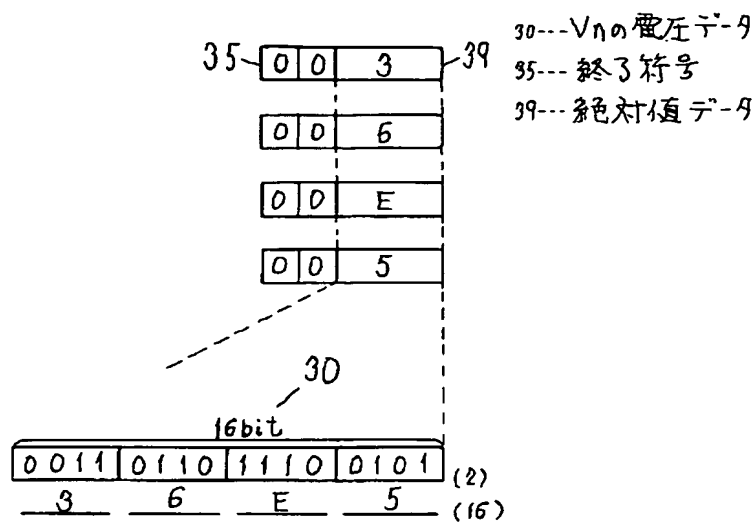


【図14】

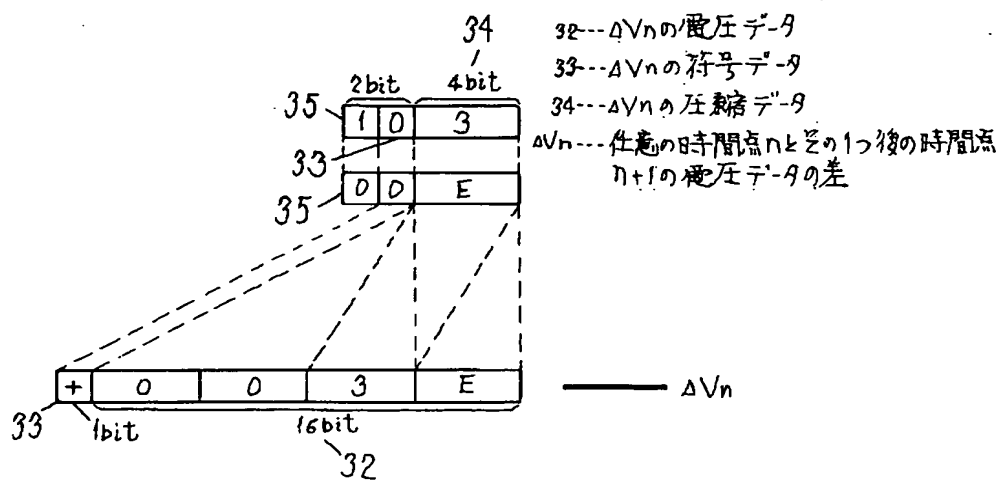
11b---16bit デジタル信号(出力データ)  
 16---左端デジタル信号(入力データ)  
 51---4bit データレジスタ  
 52---1bit 符号フラグ  
 53---1bit 終了符号フラグ  
 55---0発生回路  
 56---終了判断回路



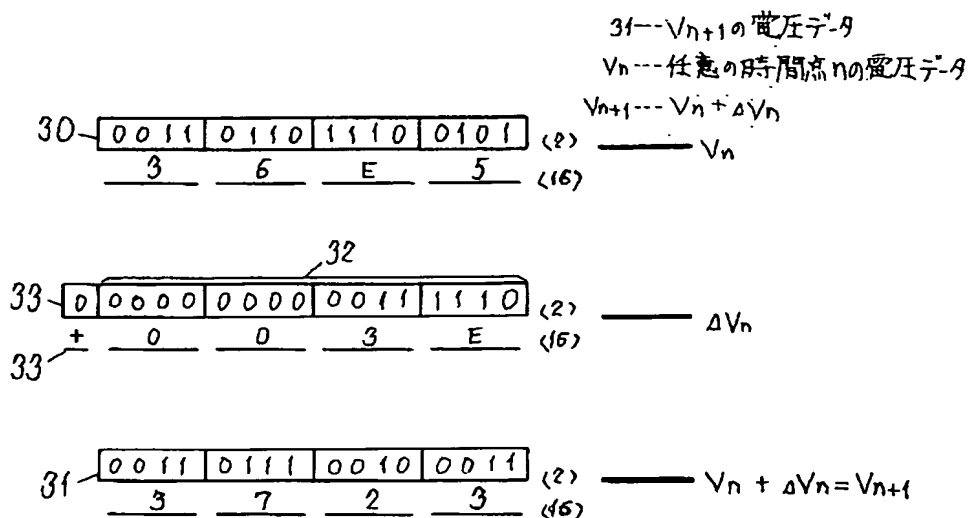
【図15】



【図16】

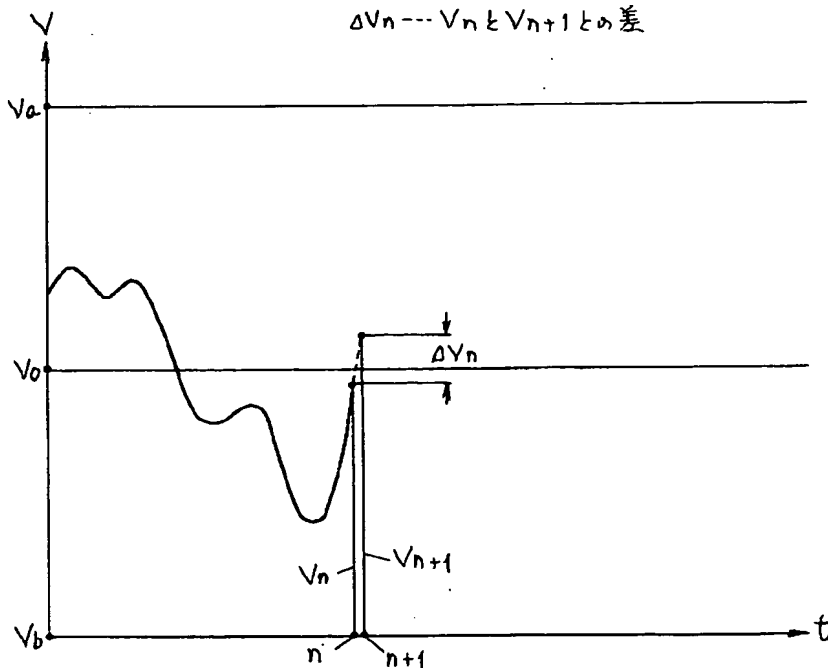


【図17】

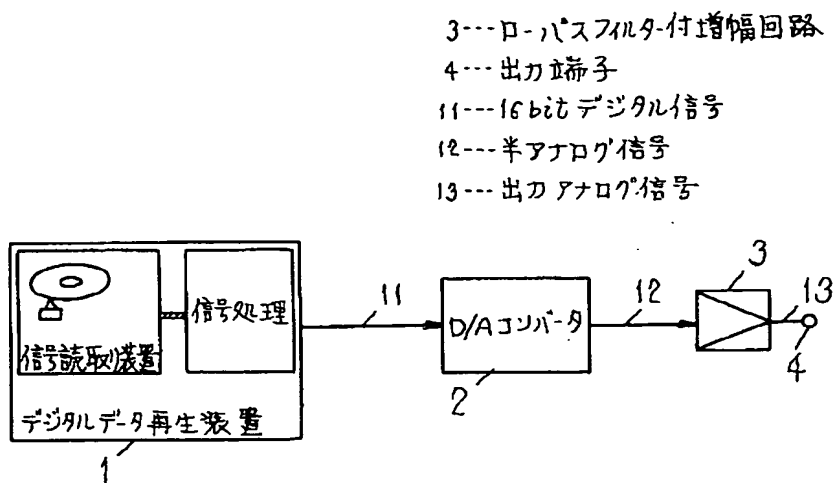


【図18】

$V$ ---電圧軸  
 $t$ ---時間軸  
 $V_a$ ---最大表現電圧値  
 $V_b$ ---最小表現電圧値  
 $V_0$ ---交流中点電位  
 $n$ ---任意の時間点  
 $n+1$ ---任意の時間点 $n$ の後の時間点  
 $V_n$ --- $n$ の時間点の電圧データ  
 $V_{n+1}$ --- $n+1$ の時間点の電圧データ  
 $\Delta V_n$ --- $V_n$ と $V_{n+1}$ との差

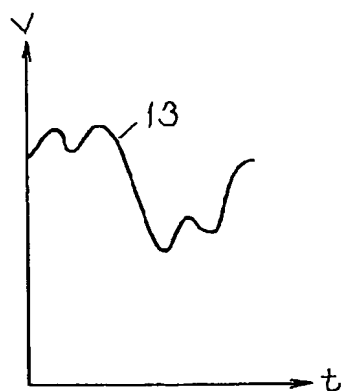
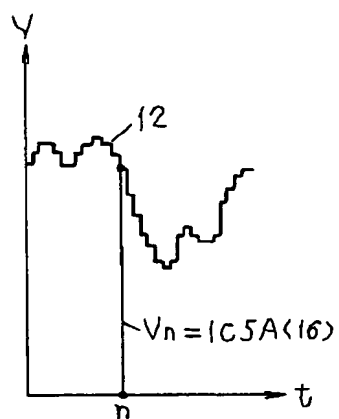


【図19】



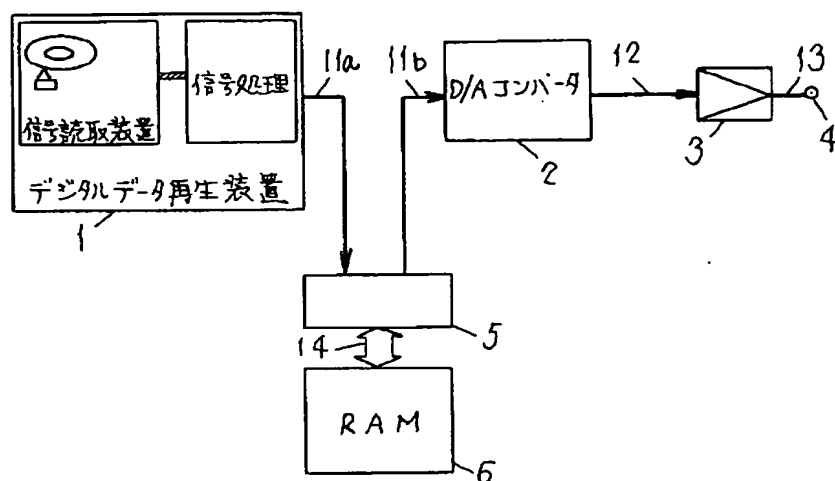
【図20】

$v$ ---電圧軸  
 $t$ ---時間軸  
 $n$ ---任意の時間点  
 $V_n$ ---任意の時間点の電圧データ



【図21】

- 3 --- ロ・パスフィルタ付増幅回路  
 4 --- 出力端子  
 5 --- RAM制御回路  
 6 --- ランダムアクセスメモリ  
 11a, 11b --- 16ビットデジタル信号  
 12 --- 半アナログ信号  
 13 --- 出力アナログ信号  
 14 --- RAMアクセス信号



フロントページの続き

(72)発明者 宮本 三朗  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**